**Esercizio 3**

Progettare e implementare in VHDL un orologio che, a partire da un clock di riferimento di 50MHz che opera da base dei tempi, generi, mediante uso di contatori, il secondo, il minuto e l'ora. Utilizzare un approccio strutturale collegando opportunamente i contatori secondo uno schema a scelta.

Il progetto deve prevedere la possibilità di inizializzare l’orologio con un valore iniziale, sempre espresso in termini di ore, minuti e secondi, mediante un opportuno ingresso di *set* (l’ingresso di set può corrispondere ad un unico segnale oppure a tre segnali differenti, a scelta dello studente) e deve prevedere un ingresso di *reset* per azzerare il tempo.

**Opzionale**: il sistema deve acquisire un insieme di al massimo N intertempi in corrispondenza di un ingresso di *stop*. Ogni intertempo, nella forma ora|minuto|secondo, deve essere memorizzato in una memoria interna (registri).